

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-163705

(43) 公開日 平成11年(1999)6月18日

(51) Int.Cl.*

H 03 K 17/78
H 01 L 31/12

識別記号

F I

H 03 K 17/78
H 01 L 31/12

F
G

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平9-323605

(22) 出願日 平成9年(1997)11月25日

(71) 出願人 000005832

松下電工株式会社
大阪府門真市大字門真1048番地

(72) 発明者 井上 智広

大阪府門真市大字門真1048番地松下電工株
式会社内

(72) 発明者 葛原 一功

大阪府門真市大字門真1048番地松下電工株
式会社内

(72) 発明者 田中 恒史

大阪府門真市大字門真1048番地松下電工株
式会社内

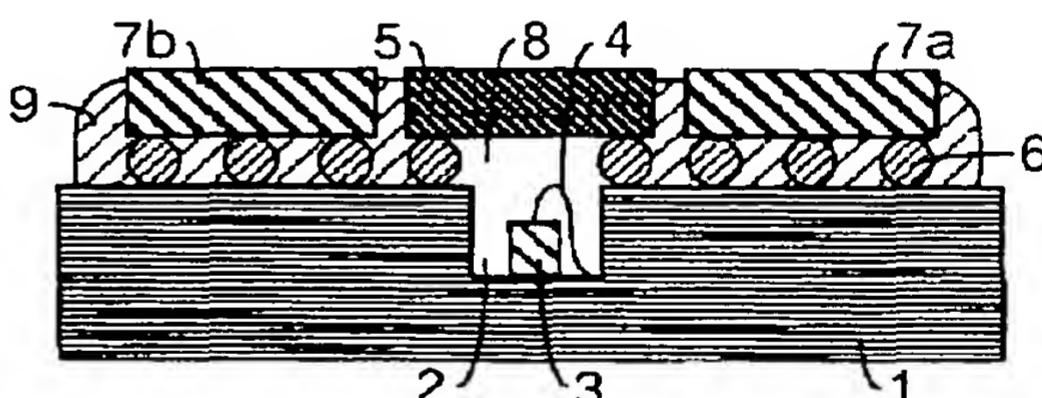
(74) 代理人 弁理士 安藤 淳二 (外1名)

(54) 【発明の名称】 半導体リレー

(57) 【要約】

【課題】 小型化及び薄型化するとともに、実装歩留りを向上させることのできる半導体リレーを提供する。

【解決手段】 凹部2と、配線パターンとが形成されて成る回路基板1の凹部2底面に、LED3がダイボンディングされ、Auワイヤ4によりワイヤボンディングされている。そして、凹部2の開口を覆い、LED3と光結合するように光起電力素子5がLED3に対向配置され、光起電力素子5は、バンブ6を介して回路基板1の配線パターンにフリップチップ実装されている。回路基板1の、光起電力素子5が実装された面と同一面上には、MOSFET7a, 7bがバンブ6を介して配線パターンにフリップチップ実装され、LED3と光起電力素子5との間には、透光性樹脂8が充填されている。そして、回路基板1の各チップ実装面側は、光を遮光する遮光性樹脂9により封止されている。



1	回路基板
2	凹部
3	LED
4	Auワイヤ
5	光起電力素子
6	バンブ
7a, 7b	MOSFET
8	透光性樹脂
9	遮光性樹脂

【特許請求の範囲】

【請求項1】 1枚の基板上にMOSFETと発光素子とが実装され、光起電力素子が、前記発光素子と光結合するように対向配置されて実装されて成ることを特徴とする半導体リレー。

【請求項2】 前記基板に、凹部及び配線パターンが形成され、該凹部底面に前記発光素子が実装され、前記凹部開口を覆うように前記光起電力素子が前記基板にフリップチップ実装され、前記基板の、前記光起電力素子実装面側および／または異なる面側にMOSFETがフリップチップ実装またはワイヤボンディングされ、前記発光素子と前記光起電力素子との間に透光性樹脂が充填され、前記光起電力素子及びMOSFETが遮光性樹脂により封止されて成ることを特徴とする請求項1記載の半導体リレー。

【請求項3】 前記基板の、前記MOSFET形成箇所の内、少なくとも1箇所に凹部が設けられ、該凹部底面に前記MOSFETがフリップチップ実装またはワイヤボンディングされて成ることを特徴とする請求項2記載の半導体リレー。

【請求項4】 前記基板に、凹部及び配線パターンが形成され、該凹部底面に前記発光素子が実装され、前記凹部開口端近傍に前記MOSFETがダイボンディングされてワイヤボンディングされるとともに、前記凹部開口を覆うように前記光起電力素子が前記MOSFETにフリップチップ実装されて成ることを特徴とする請求項1記載の半導体リレー。

【請求項5】 前記発光素子を実装する箇所の凹部側壁を、光を反射しやすい色にし、または光を反射する反射部材を設けたことを特徴とする請求項1乃至請求項4のいずれかに記載の半導体リレー。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、光結合によるアイソレーションを用いた半導体リレーに関するものであり、特にフォトモスリレーに関する。

【0002】

【従来の技術】 図6は、従来例に係るフォトモスリレーの回路図である。リレー入力端子12a, 12b間に発光素子としての発光ダイオード(LED: Light Emitting Diode)3が接続され、LED3には、フォトダイオードアレイ13が光学的に結合されている。

【0003】 フォトダイオードアレイ13のアノードは、Nチャネル型のエンハンスマントモードの出力用のMOSFET7a, 7bのゲートに接続され、カソードは、抵抗Rを介してMOSFET7a, 7bのソースに接続されている。

【0004】 また、出力用のMOSFET7a, 7bのゲート・ソース間には、Nチャネル型のデブレッシュモードの駆動用のMOSFET14のドレイン・ソース間が接続されている。この駆動用のMOSFET14のゲートは、フォトダ

イオードアレイ13のカソードに接続されている。【0005】 そして、リレー出力端子15a, 15bには、MOSFET7a, 7bのドレインが各々接続され、MOSFET7a, 7bのソースは、リレー出力端子15cに接続されている。

【0006】 以下、従来のフォトモスリレーの動作について、図6に基づき説明する。リレー入力端子12a, 12b間に入力電流が流れると、LED3が光信号を発生する。この光信号を受けてフォトダイオードアレイ13が電流を発生する。この電流は常時オン状態にある駆動用のMOSFET14を介して抵抗Rに流れ、抵抗Rで発生する電圧が、駆動用のMOSFET14のスレッショルド電圧を越えると、駆動用のMOSFET14がオフ状態なる。これによって、フォトダイオードアレイ13からの電流は、出力用のMOSFET7a, 7bのゲート・ソース間を充電し、その充電電圧が出力用のMOSFET7a, 7bのスレッショルド電圧を越えると、出力用のMOSFET7a, 7bがオン状態となり、リレー出力端子15a～15c間が導通する。その後、駆動用のMOSFET14のドレイン・ソース間を介して僅かな電流が抵抗Rに流れ、抵抗Rに生じるバイアス電圧によって駆動用のMOSFET14が高インピーダンスに保持されるようになっている。

【0007】 次に、リレー入力端子12a, 12b間に電流が遮断され、LED3から光信号がなくなると、フォトダイオードアレイ13からの電流がなくなる。このため、駆動用のMOSFET14のゲート・ソース間電圧が下がり、駆動用のMOSFET14がオン状態となって、出力用のMOSFET7a, 7bのゲート・ソース間に蓄積されていた電荷が駆動用のMOSFET14を通じて急速に放電される。これによって、出力用のMOSFET7a, 7bはオフ状態となり、リレー出力端子15a～15c間が遮断される。

【0008】 上述の回路では、出力用のMOSFET7a, 7bがオンされている定常状態においては、駆動用のMOSFET14を介して流れる電流が小さくても、抵抗Rの値を上げることにより駆動用のMOSFET14をオフ状態に保持するのに十分なバイアス電圧を得ることができる。

【0009】 図7は、従来例に係るフォトモスリレーの全体構成を示す概略断面図である。リードフレーム16a上にMOSFET7a, 7bと光起電力素子5とがAgベースト等でダイボンディングされ、ワイヤボンディングされている。ここで、光起電力素子5とは、図6における、フォトダイオードアレイ13、駆動用のMOSFET14及び抵抗Rが1チップ化された素子のことである。

【0010】 一方、リードフレーム16b上には、LED3がAgベースト等でダイボンディングされ、ワイヤボンディングされて、リードフレーム16a, 16bをLED3と光起電力素子5とが対向するように配置されている。

【0011】 そして、LED3と光起電力素子5間には、

光を透過する透光性樹脂8が充填され、全体を遮光性樹脂から成るパッケージ17によりモールドされている。この時、パッケージ17からは、リードフレーム16a, 16bの一端が突出する構成となっている。

【0012】ここで、MOSFET7a, 7bを2チップ実装すると、直流／交流ようとして両方使えるが、1チップにすると、MOSFETのダイオード特性により直流用のみの使用となる。

【0013】

【発明が解決しようとする課題】ところが、上述のような構成の半導体リレーにおいては、リードフレーム上に各チップをダイボンディングし、ワイヤボンディングして、LEDと光起電力素子とを対向配置させるため、薄型化、小型化の実現が難しいという問題があった。

【0014】また、全体をパッケージ17によりモールドする際、モールドする樹脂の流れによりリードフレーム16a, 16bが曲がることがあり、LED3と光起電力素子5との対向距離を確保することが困難になり、実装歩留りが悪くなるという問題があった。

【0015】本発明は、上記の点に鑑みて成されたものであり、その目的とするところは、小型化及び薄型化するとともに、実装歩留りを向上させることのできる半導体リレーを提供することにある。

【0016】

【課題を解決するための手段】請求項1記載の発明は、1枚の基板上にMOSFETと発光素子とが実装され、光起電力素子が、前記発光素子と光結合するように対向配置させて実装されて成ることを特徴とするものである。

【0017】請求項2記載の発明は、請求項1記載の半導体リレーにおいて、前記基板に、凹部及び配線パターンが形成され、該凹部底面に前記発光素子が実装され、前記凹部開口を覆うように前記光起電力素子が前記基板にフリップチップ実装され、前記基板の、前記光起電力素子実装面側および／または異なる面側にMOSFETがフリップチップ実装またはワイヤボンディングされ、前記発光素子と前記光起電力素子との間に透光性樹脂が充填され、前記光起電力素子及びMOSFETが遮光性樹脂により封止されて成ることを特徴とするものである。

【0018】請求項3記載の発明は、請求項2記載の半導体リレーにおいて、前記基板の、前記MOSFET形成箇所の内、少なくとも1箇所に凹部が設けられ、該凹部底面に前記MOSFETがフリップチップ実装またはダイボンディングされて成ることを特徴とするものである。

【0019】請求項4記載の発明は、請求項1記載の半導体リレーにおいて、前記基板に、凹部及び配線パターンが形成され、該凹部底面に前記発光素子が実装され、前記凹部開口端近傍に前記MOSFETがダイボンディングされてワイヤボンディングされるとともに、前記凹部開口を覆うように前記光起電力素子が前記MOSFETにフリップチップ実装されて成ることを特徴とするものである。

【0020】請求項5記載の発明は、請求項1乃至請求項4のいずれかに記載の半導体リレーにおいて、前記発光素子を実装する箇所の凹部側壁を、光を反射しやすい色にし、または光を反射する反射部材を設けたことを特徴とするものである。

【0021】

【発明の実施の形態】以下、本発明の実施形態について図面に基づき説明する。なお、本実施形態に係るフォトモスリレーの回路構成は、従来例として図6に示すフォトモスリレーの回路構成と同様である。また、本実施形態においては、MOSFET7a, 7b, 14としてNチャネル型を用いた場合について説明するが、Pチャネル型を用いた場合にも適用できる。この場合、フォトダイオードアレイ13の極性が逆向きとなるように接続される。更に、従来例として図7に示すフォトモスリレーの各構成箇所と同一箇所には同一符号を付して説明を省略する。

【0022】=実施形態1=

図1は、本発明の一実施形態に係るフォトモスリレーの全体構成を示す概略断面図である。本実施形態に係るフォトモスリレーは、凹部2と、所定形状にバーニングされた配線パターン（図示せず）とが形成されて成る回路基板1の凹部2底面に、LED3がAgペースト等によりダイボンディングされ、Auワイヤ4等によりワイヤボンディングされている。そして、凹部2の開口を覆い、LED3と光結合するように光起電力素子5がLED3に対向配置され、光起電力素子5は、半田等のバンプ6を介して回路基板1の配線パターンにフリップチップ実装されている。

【0023】なお、本実施形態においては、回路基板1にMOSFET7a, 7bをフリップチップ実装するため、MOSFET7a, 7bとして、例えばゲート、ソース、ドレイン電極がチップの同一平面上に存在するLDMOSFET（Lateral Double Diffused MOSFET）を用いるのが望ましい。

【0024】回路基板1の、光起電力素子5が実装された面と同一面上には、MOSFET7a, 7bがバンプ6を介して配線パターンにフリップチップ実装され、LED3と光起電力素子5との間には、透光性樹脂8が充填されている。そして、回路基板1の各チップ実装面側は、光を遮光するエポキシ樹脂等の遮光性樹脂9により封止されている。

【0025】従って、本実施形態においては、1枚の回路基板1上にLED3、光起電力素子5及びMOSFET7a, 7bを配置し、光起電力素子5及びMOSFET7a, 7bをフリップチップ実装するようにしたので、回路基板1上にワイヤボンディングのためのパッドを形成する必要がなく、フォトモスリレーを薄型化するとともに、小型化することができ、また、封止のための遮光性樹脂9によりLED3と光起電力素子5との対向距離が変化すること

がなく、実装歩留りを向上させることができる。

【0026】また、光起電力素子5及びMOSFET7a, 7bをフリップチップ実装するようにしているので、高精度の位置合わせが可能となる。

【0027】=実施形態2=

図2は、本発明の他の実施形態に係るフォトモスリレーの全体構成を示す概略断面図である。本実施形態に係るフォトモスリレーは、実施形態1として図1に示すフォトモスリレーにおいて、MOSFET7a, 7bを凹部2の開口端近傍に配置して、Auワイヤ4等によりワイヤボンディングを行い、光起電力素子5を凹部2の開口を覆うようにMOSFET7a, 7b上にバンプ6を介してフリップチップ実装した構成である。

【0028】従って、本実施形態においては、1枚の回路基板1上にLED3及びMOSFET7a, 7bを配置し、LED3と光結合するようにMOSFET7a, 7b上に光起電力素子3をフリップチップ実装するようにして、回路基板1上に形成されたワイヤボンディングのためのパッドの数を減らすことができ、フォトモスリレーを薄型化するとともに、小型化することができ、また、封止のための遮光性樹脂9によりLED3と光起電力素子5との対向距離が変化することができなく、実装歩留りを向上させることができまた、光起電力素子5をフリップチップ実装するようにしているので、高精度の位置合わせが可能となる。

【0029】なお、本実施形態においては、回路基板1に凹部2を形成するようにしたが、光起電力素子5の下部にLED3及びAuワイヤ4が収納できるスペースがあれば凹部2を形成する必要がない。

【0030】=実施形態3=

図3は、本発明の他の実施形態に係るフォトモスリレーの全体構成を示す概略断面図である。本実施形態に係るフォトモスリレーは、実施形態1として図1に示すフォトモスリレーにおいて、回路基板1のLED3配置面と異なる面側に凹部10を設け、凹部10の底面にMOSFET7bをバンプ6を介してフリップチップ実装し、遮光性樹脂9により封止した構成である。

【0031】なお、本実施形態においては、回路基板1にMOSFET7a, 7bをフリップチップ実装するため、MOSFET7a, 7bとして、例えばゲート、ソース、ドレイン電極がチップの同一平面上に存在するLDMOSFET (Lateral Double Diffused MOSFET) を用いるのが望ましい。

【0032】従って、本実施形態においては、1枚の回路基板1上にLED3、光起電力素子5及びMOSFET7a, 7bを配置し、光起電力素子5及びMOSFET7a, 7bをフリップチップ実装するようにして、回路基板1上にワイヤボンディングのためのパッドを形成する必要がなく、フォトモスリレーを薄型化するとともに、小型化することができ、さらに、MOSFET7bを回路基板1のMO

SFET7a実装面と異なる面側に実装するようにしたので、実施形態1, 2よりも小型化することができる。

【0033】また、封止のための遮光性樹脂9によりLED3と光起電力素子5との対向距離が変化することができなく、実装歩留りを向上させることができる。

【0034】また、光起電力素子5及びMOSFET7a, 7bをフリップチップ実装するようにしているので、高精度の位置合わせが可能となる。

【0035】=実施形態4=

10 図4は、本発明の他の実施形態に係るフォトモスリレーの全体構成を示す概略断面図である。本実施形態に係るフォトモスリレーは、実施形態1として図1に示すフォトモスリレーにおいて、MOSFET7a, 7b形成箇所の回路基板1に凹部11a, 11bを形成し、凹部11a, 11bの底面にMOSFET7a, 7bをダイボンディングした後、ワイヤボンディングし、MOSFET7a, 7bを遮光性樹脂9により封止した構成である。

【0036】従って、本実施形態においては、1枚の回路基板1上にLED3、光起電力素子5及びMOSFET7a, 7bを配置し、光起電力素子5をフリップチップ実装するようにして、回路基板1上にワイヤボンディングのためのパッドの数を減らすことができ、フォトモスリレーを薄型化するとともに、小型化することができ、また、封止のための遮光性樹脂9によりLED3と光起電力素子5との対向距離が変化することができなく、実装歩留りを向上させることができる。

【0037】また、光起電力素子5をフリップチップ実装するようにしているので、高精度の位置合わせが可能となる。

30 【0038】なお、本実施形態においては、MOSFET7a, 7bをワイヤボンディングを行うようにしたが、これに限定される必要はなく、バンプを介してフリップチップ実装するようにしても良く、この場合、さらに小型化を図ることができる。

【0039】また、本実施形態においては、凹部11a, 11bを、回路基板1の光起電力素子5実装面側に設けるようにしたが、回路基板2の光起電力素子5実装面と異なる面側に設けたり、回路基板2の一方の面に凹部11aを設け、他方の面に凹部11bを設けてよい。

【0040】=実施形態5=

図5は、本発明の他の実施形態に係るフォトモスリレーの全体構成を示す概略断面図である。本実施形態に係るフォトモスリレーは、実施形態1として図1に示すフォトモスリレーにおいて、MOSFET7a, 7bを、回路基板1の光起電力素子5実装面と異なる面側にバンプ6を介してフリップチップ実装し、遮光性樹脂9により封止した構成である。

【0041】従って、本実施形態においては、1枚の回路基板1上にLED3、光起電力素子5及びMOSFET7a,

7 bを配置し、光起電力素子5及びMOSFET7 a, 7 bをフリップチップ実装するようにしたので、回路基板1上にワイヤボンディングのためのパッドを形成する必要がなく、フォトモスリレーを薄型化するとともに、小型化することができ、さらに、MOSFET7 a, 7 bを回路基板1の光起電力素子5実装面と異なる面側に実装するようにしたので、実施形態1, 2よりも小型化を図ることができる。

【0042】また、封止のための遮光性樹脂9によりLED3と光起電力素子5との対向距離が変化することができなく、実装歩留りを向上させることができる。

【0043】また、光起電力素子5及びMOSFET7 a, 7 bをフリップチップ実装するようにしているので、高精度の位置合わせが可能となる。

【0044】なお、実施形態1～5において、LED3をダイボンディングして、ワイヤボンディングを行う場合について説明したが、LED3として横向き実装用のワイヤボンドレスタイプのLEDを用いるようにしてもよい。

【0045】また、実施形態1～5において、MOSFETを2つ実装する場合について説明したが、これに限定される必要はなく、直流用に限定してMOSFETを1つだけ実装するようにしてもよい。但し、実施形態2において、1つだけMOSFETを用いる場合には、凹部側壁の高さを調整する必要がある。即ち、MOSFETがない方のフリップチップ実装する箇所の側壁の高さを他方よりも高くする必要がある。

【0046】また、実施形態1～5において、凹部2の底面にLED3をダイボンディングし、凹部2の開口を覆うように光起電力素子5を実装するようにしているので、回路基板1の材料として白色のような反射しやすい色や、凹部2の側面に光を反射する反射材等を設けるようすれば、光の伝達効率を向上させることができる。

【0047】

【発明の効果】請求項1記載の発明は、1枚の基板上にMOSFETと発光素子とが実装され、光起電力素子が、発光素子と光結合するように対向配置させて実装されて成るので、封止により発光素子と光起電力素子との対向距離が変化することなく、小型化及び薄型化するとともに、実装歩留りを向上させることのできる半導体リレーを提供することができた。

【0048】請求項2記載の発明は、請求項1記載の半導体リレーにおいて、基板に、凹部及び配線パターンが形成され、凹部底面に発光素子が実装され、凹部開口を覆うように光起電力素子が基板にフリップチップ実装され、基板の、光起電力素子実装面側および/または異なる面側にMOSFETがフリップチップ実装またはワイヤボンディングされ、発光素子と光起電力素子との間に透光性樹脂が充填され、光起電力素子及びMOSFETが遮光性樹脂により封止されて成るので、小型化及び薄型化することができ、封止により発光素子と光起電力素子との対向距

離が変化することなく、実装歩留りを向上させることができ、各素子がフリップチップ実装されているので、高精度の位置合わせが可能となる。

【0049】請求項3記載の発明は、請求項2記載の半導体リレーにおいて、基板の、MOSFET形成箇所の内、少なくとも1箇所に凹部が設けられ、凹部底面にMOSFETがフリップチップ実装またはワイヤボンディングされて成るので、小型化及び薄型化することができ、封止により発光素子と光起電力素子との対向距離が変化することができなく、実装歩留りを向上させることができ、各素子がフリップチップ実装されているので、高精度の位置合わせが可能となる。

【0050】請求項4記載の発明は、請求項1記載の半導体リレーにおいて、基板に、凹部及び配線パターンが形成され、凹部底面に発光素子が実装され、凹部開口端近傍にMOSFETがダイボンディングされてワイヤボンディングされるとともに、凹部開口を覆うように光起電力素子がMOSFETにフリップチップ実装されて成るので、小型化及び薄型化することができ、封止により発光素子と光起電力素子との対向距離が変化することなく、実装歩留りを向上させることができ、各素子がフリップチップ実装されているので、高精度の位置合わせが可能となる。

【0051】請求項5記載の発明は、請求項1乃至請求項4のいずれかに記載の半導体リレーにおいて、発光素子を実装する箇所の凹部側壁を、光を反射しやすい色にし、または光を反射する反射部材を設けたので、光の伝達効率を向上させることができる。

【図面の簡単な説明】

30 【図1】本発明の一実施形態に係るフォトモスリレーの全体構成を示す概略断面図である。

【図2】本発明の他の実施形態に係るフォトモスリレーの全体構成を示す概略断面図である。

【図3】本発明の他の実施形態に係るフォトモスリレーの全体構成を示す概略断面図である。

【図4】本発明の他の実施形態に係るフォトモスリレーの全体構成を示す概略断面図である。

【図5】本発明の他の実施形態に係るフォトモスリレーの全体構成を示す概略断面図である。

40 【図6】従来例に係るフォトモスリレーの回路図である。

【図7】従来例に係るフォトモスリレーの全体構成を示す概略断面図である。

【符号の説明】

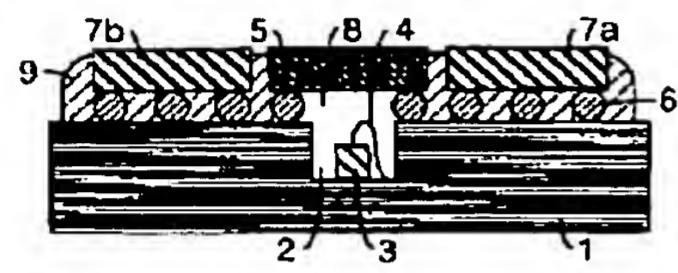
- 1 回路基板
- 2 凹部
- 3 LED
- 4 Auワイヤ
- 5 光起電力素子
- 6 バンプ

7a, 7b MOSFET
8 透光性樹脂
9 遮光性樹脂
10, 11a, 11b 凹部
12a, 12b リレー入力端子
13 フォトダイオードアレイ

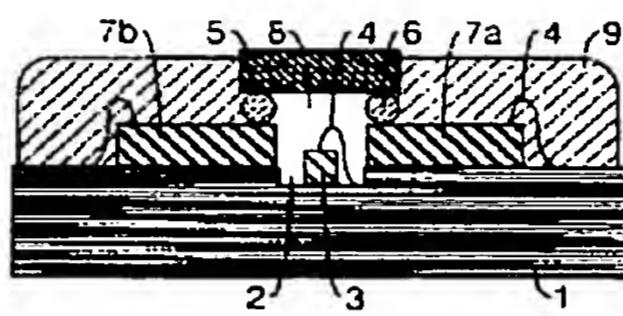
* 14 MOSFET
15a~15c リレー出力端子
16a, 16b リードフレーム
17 パッケージ
R 抵抗

*

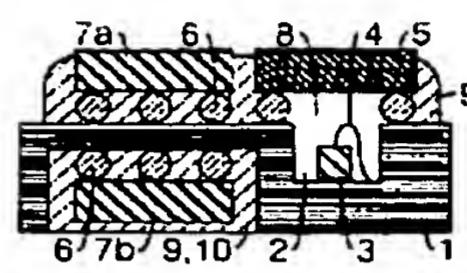
【図1】



1 回路基板
2 凹部
3 LED
4 Auワイヤ
5 光起電力素子
6 バンブ
7a, 7b MOSFET
8 透光性樹脂
9 遮光性樹脂



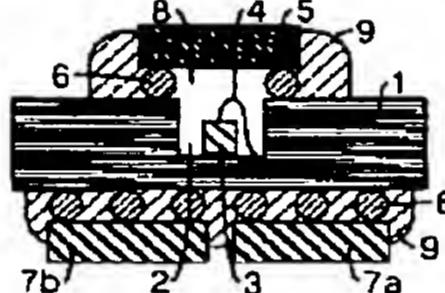
【図2】



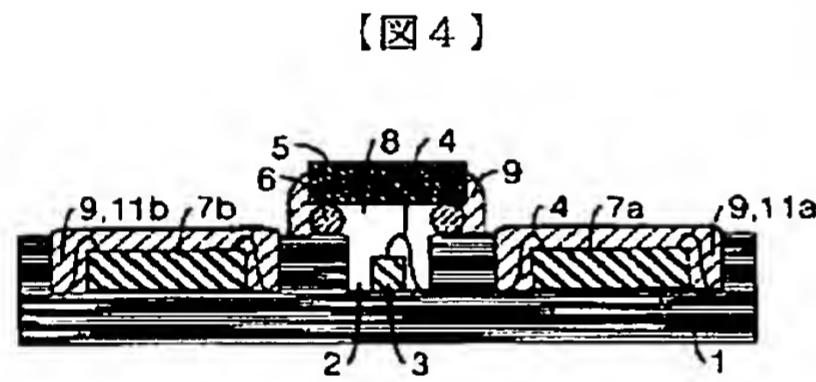
10 凹部

【図3】

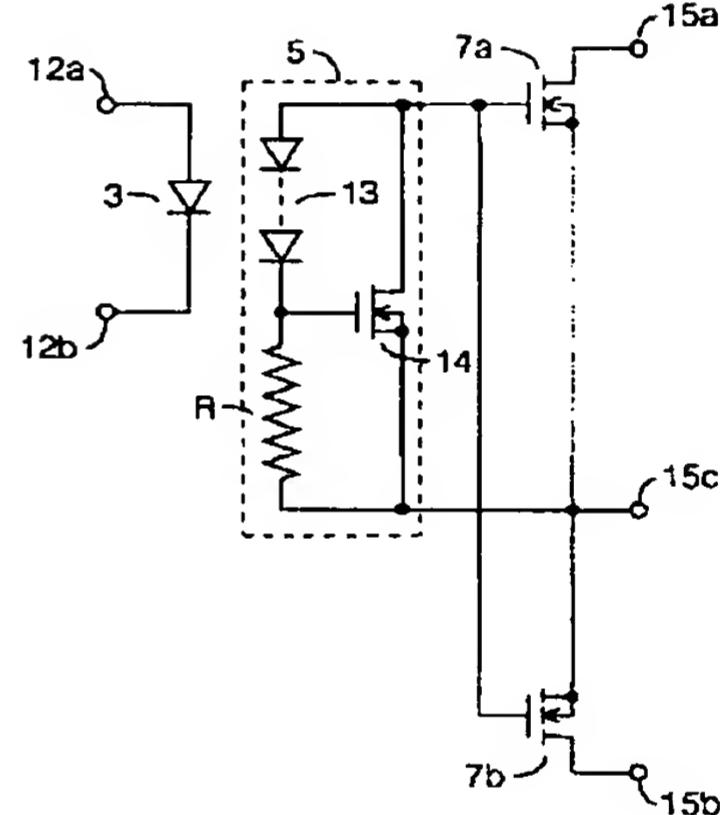
【図5】



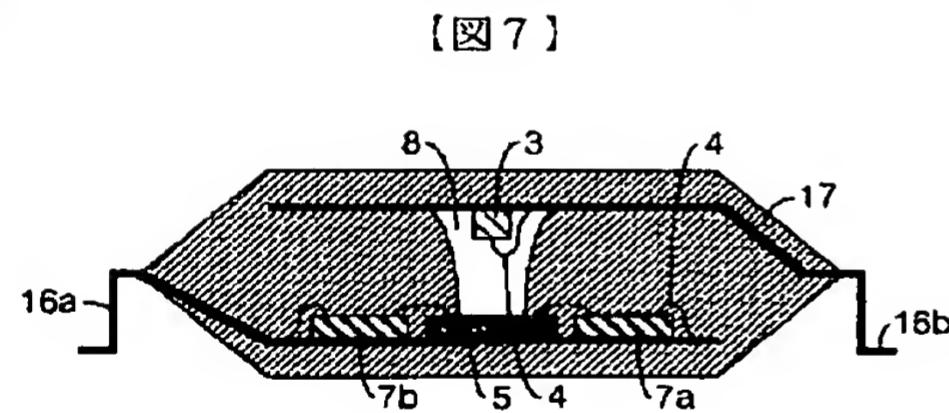
【図6】



【図4】



12a, 12b リレー入力端子
13 フォトダイオードアレイ
14 MOSFET
15a~15c リレー出力端子



【図7】

16a, 16b リードフレーム
17 パッケージ